

Aufgabe 1: CPU Anbindung Speicher

cpumemanbi.tex

Der Speicher und die CPU sind über den Speicherbus miteinander verbunden. Benennen sie die Elemente des Speicherbusses und erläutern sie die Funktion der Elemente.

1. Adressbus (Address Bus)

- **Aufbau:** Eine Reihe paralleler, unidirektionaler Leitungen.
- **Funktion:** Die CPU verwendet den Adressbus, um die **spezifische Speicheradresse** zu übermitteln, auf die sie zugreifen möchte (Lesen oder Schreiben). Jede Speicherzelle oder jedes Speicherregister hat eine eindeutige Adresse, die die CPU auf diesen Bus legt, um den genauen Speicherort zu identifizieren. Die Anzahl der Leitungen des Adressbusses bestimmt die maximale Größe des adressierbaren Speichers ($2^{\text{Anzahl der Leitungen}}$).

2. Datenbus (Data Bus)

- **Aufbau:** Eine Reihe paralleler, bidirektionaler Leitungen.
- **Funktion:** Über den Datenbus werden die **tatsächlichen Daten** zwischen der CPU und dem Speicher ausgetauscht. Wenn die CPU Daten vom Speicher liest, werden diese über den Datenbus gesendet. Wenn die CPU Daten in den Speicher schreibt, werden die Daten von der CPU über den Datenbus an den Speicher gesendet. Die Breite des Datenbusses (z.B. 32 Bit, 64 Bit) bestimmt, wie viele Datenbits pro Übertragungszyklus gleichzeitig übertragen werden können, was direkt die Übertragungsgeschwindigkeit (Bandbreite) beeinflusst.

3. Steuerbus (Control Bus)

- **Aufbau:** Eine Sammlung von einzelnen Steuerleitungen.
- **Funktion:** Der Steuerbus ist für die **Koordination und Steuerung** aller Operationen zwischen CPU und Speicher verantwortlich. Er überträgt verschiedene Steuersignale, die den Typ des aktuellen Zugriffs und den Zeitpunkt der Operationen festlegen. Beispiele für Signale auf dem Steuerbus sind:
 - **Read/Write (R/W):** Signalisiert, ob die CPU Daten vom Speicher lesen oder in den Speicher schreiben möchte.
 - **Memory Request (MREQ):** Zeigt an, dass ein Speicherzugriff angefordert wird.
 - **Clock (CLK):** Ein Taktsignal, das alle Operationen im System synchronisiert und den Takt vorgibt.
 - **Ready:** Ein Signal vom Speicher an die CPU, das anzeigt, dass der Speicher bereit für den Datenaustausch ist.
 - **Bus Grant/Request:** Signale für die Busarbitrierung, falls mehrere Geräte (wie die CPU und ein DMA-Controller) gleichzeitig auf den Speicherbus zugreifen wollen.

Antwort KI generiert mit Gemini 2.5 Flash, 28.6.2025

Aufgabe 2: CPU - Adressbus des Systems vergrößern

cpuabuswidth.tex

Eine CPU ist über einen Adress-, Daten- und Steuerbus an ein Speichersystem angeschlossen. Die Breite des physikalischen Adressbusses wird jetzt von 32 auf 48 Bit verändert. Beschreiben sie die Konsequenzen für das Gesamtsystem. Nehmen sie an, dass die CPU auch den Adressbus mit der geänderten Breite unterstützt und nicht verändert wird. Erläutern sie die Konsequenzen mit einem plausiblen Zahlenbeispiel.

Die Breite des Adressbusses begrenzt die Größe des Speichers (RAM, ROM, Peripherie) im System. Wenn das aktuelle System eine Adressbusbreite von 32 Bit hat, dann kann man damit $2^{32} = 4294967296$ Byte adressieren. Das entspricht einer Speichergröße von 4 GiByte. Wenn die Breite des Adressbusses von 32 auf 48 Bit erhöht wird, dann können 2^{48} Byte adressiert werden. Das entspricht einer Größe von etwa 256 Terabyte. Es kann also mehr Speicher adressiert und im Rechnersystem eingebaut und genutzt werden. Aktuelle CPUs für Rechner haben eine 64 Bit Architektur und können damit auch 2^{64} Byte adressieren. Der physikalische Adressbus ist allerdings auf 48 bis 52 Bit begrenzt, da es heute keine Systeme gibt, die mehr als 256 Terabyte an physikalischem Speicher nutzen.

Der Großteil des Speicherbereichs wird für RAM eingesetzt. Aktuell (2025) werden Rechner für Privatanwender üblicherweise mit RAM mit einer Größe von maximal ca. 128 GB verkauft. Server können auch mit größerem RAM Speicher bis in den Terabytebereich ausgestattet werden. Auf dem RP2040 Chip, der auf dem Raspberry Pi Pico Board benutzt wird und ein Beispiel für einen kleinen Mikrocontroller ist, ist eine ARM Cortex M0+ CPU mit 32 Bit Adressbus. Von dem 4 GiByte großen adressierbaren Speicherbereich werden jedoch nur kleine Bereiche genutzt. In der folgenden Tabelle ist die Memory Map des RP2040 dargestellt:

Startadresse	Endadresse	Größe	Beschreibung
0x0000 0000	0x0000 3FFF	16 KiB	Boot ROM (Fest, Nur-Lesen)
0x1000 0000	0x10FF FFFF	16 MiB (max)	QSPI Flash (Externer Code/Daten, Execute-in-Place)
0x2000 0000	0x2004 1FFF	264 KiB	SRAM (Internes RAM für Daten/-Stack/Heap)
0x4000 0000	0x4006 C003	ca. 432 KiB	Peripherie-Register (UART, SPI, I2C, PWM, Timer e.t.c.)
0x5000 0000	0x5030 0143	ca. 3 MiB	Peripherie-Register (USB, DMA, e.t.c.)
0xD000 0000	0xD000 017F	384 Byte	Single-Cycle IO (SIO) (Schneller GPIO-Zugriff)
0xE000 E010	0xE000 EDA3	3476 Byte	Cortex M0 intern (Interrupt, Debug)

Innerhalb der Adressbereiche für die Peripherieregister sind auch große Adressbereiche nicht genutzt. Insgesamt werden von dem 4096 MiB großen adressierbaren Adressbereich auf dem RP2040 also nur ca. 17 MiB tatsächlich genutzt. Auf der Pi Pico Platine sind tatsächlich auch nur 2 MiB Flash, d.h. dort werden also tatsächlich weniger als 3 MiB genutzt.

Aufgabe 3: CPU 64 Bit Adressbus

cpuabus64.tex

Aktuelle CPU Architekturen wie AMD64 oder ARMv8 arbeiten mit 64 Bit für Daten und Adressen. Erläutern sie warum bei aktuellen CPUs nur 48 bis 52 Bit des Adressbusses als physikalischer Adressbus nach außen geführt werden.

Mit einem 64 Bit großen Adressbus kann man $2^{64} = 16$ Exabyte also ungefähr 16 Millionen Terabyte Speicher adressieren. Systeme mit diesen physikalischen Speichergrößen werden derzeit nicht eingesetzt. Mit 48 Bit Adressbusgröße lassen sich 256 TiB Speicher adressieren. Server können heute (2025) beispielsweise mit bis zu 16 TiB RAM ausgestattet werden, beispielsweise ein Dell PowerEdge 960 Server.

Aufgabe 4: CPU Datenbus

cpudbus64.tex

Aktuelle CPU Architekturen wie AMD64 oder ARMv8 arbeiten mit 64 Bit für Daten und Adressen. Was ist der wesentliche Unterschied zwischen einem Datenbus, der 64 Bit breit ist, und einem Datenbus, der 32 Bit breit ist, für das System?

Unterschied zwischen einem 32-Bit und einem 64-Bit Datenbus

Der wesentliche Unterschied zwischen einem Datenbus, der 64 Bit breit ist, und einem Datenbus, der 32 Bit breit ist, liegt in der **Menge der Daten, die pro Zeiteinheit (pro Taktzyklus) gleichzeitig übertragen werden können**.

Was ist ein Datenbus?

Der **Datenbus** ist eine elektrische Leitung (oder eine Gruppe von Leitungen) innerhalb eines Computersystems, die für den Transport der **tatsächlichen Daten** zwischen verschiedenen Komponenten zuständig ist. Dazu gehören die CPU, der Arbeitsspeicher (RAM) und Peripheriegeräte (z.B. Festplatten, Grafikkarten). Der Datenbus ist in der Regel **bidirektional**, d.h., Daten können in beide Richtungen übertragen werden (Lesen aus dem Speicher oder Schreiben in den Speicher).

Der Kernunterschied: Parallele Datenübertragung

- **32-Bit-Datenbus:** Kann in einem einzigen Taktzyklus **32 Bit (4 Byte)** an Daten parallel übertragen.
- **64-Bit-Datenbus:** Kann in einem einzigen Taktzyklus **64 Bit (8 Byte)** an Daten parallel übertragen.

Dies ist vergleichbar mit einer Straße: Eine 32-Bit-Straße hat 32 Spuren, auf denen gleichzeitig Datenpakete transportiert werden können, während eine 64-Bit-Straße 64 Spuren hat.

Konsequenzen für das Gesamtsystem

- a) **Durchsatz (Bandbreite):** Ein 64-Bit-Datenbus kann bei gleicher Taktfrequenz die **doppelte Menge an Daten pro Taktzyklus** übertragen wie ein 32-Bit-Datenbus. Dies führt zu einem erheblich höheren Datendurchsatz oder einer höheren Bandbreite.

Beispiel: Wenn ein Bus mit 100 MHz getaktet ist:

- 32-Bit-Bus: $32 \text{ Bit} \times 100 \text{ MHz} = 3.200 \text{ Mbit/s} = 400 \text{ MB/s}$
- 64-Bit-Bus: $64 \text{ Bit} \times 100 \text{ MHz} = 6.400 \text{ Mbit/s} = 800 \text{ MB/s}$

- b) **Leistung und Effizienz:** Die CPU muss weniger Zyklen warten, um große Datenblöcke aus dem Speicher zu laden oder dorthin zu schreiben. Programme, die mit großen Datenmengen arbeiten (z.B. Videobearbeitung, 3D-Rendering, wissenschaftliche Simulationen, große Datenbanken), profitieren erheblich davon. Die CPU kann ihre Rechenkerne effizienter nutzen, da die Daten, die sie benötigt, schneller bereitgestellt werden.
- c) **Hardware-Komplexität und Kosten:** Ein breiterer Datenbus bedeutet **mehr physikalische Leitungen** (Kabel, Leiterbahnen auf der Platine). Dies erhöht die Komplexität des Motherboard-Designs, die Anzahl der Pins an der CPU und den Speichercontrollern. Folglich können die **Herstellungs- und Entwicklungskosten** für Systeme mit breiteren Datenbussen höher sein.

Aufgabe 5: CPU Kompakt

cpumulti.tex

- a) Welche drei Hauptkomponenten bilden typischerweise die Zentraleinheit (CPU) eines Computers?
- A) Arithmetisch-Logische Einheit (ALU), Steuerwerk, Register
 - B) Hauptspeicher (RAM), Festplatte (HDD/SSD), Grafikkarte
 - C) Ein-/Ausgabewerk (I/O), Cache-Speicher, Systembus
 - D) Prozessor, Motherboard, Netzteil
- b) Was ist die primäre Funktion des Programmzählers (Program Counter, PC) in der CPU?
- A) Er speichert die Adresse des nächsten auszuführenden Befehls.
 - B) Er führt arithmetische und logische Operationen aus.
 - C) Er speichert die Ergebnisse von Berechnungen.
 - D) Er verwaltet den Datentransfer zwischen CPU und Peripheriegeräten.
- c) Welche Aufgabe hat der Adressbus in der Kommunikation zwischen CPU und Speichersystem?
- A) Er überträgt die eigentlichen Daten zwischen CPU und Speicher.
 - B) Er überträgt die Speicheradresse, auf die die CPU zugreifen möchte.
 - C) Er steuert den Fluss der Daten und Befehle.
 - D) Er synchronisiert die Operationen der CPU mit dem Speicher.
- d) Warum wird Cache-Speicher (L1, L2, L3) in der CPU-Architektur eingesetzt?
- A) Um die Zugriffszeit auf häufig genutzte Daten und Befehle zu reduzieren und die Leistung zu verbessern.
 - B) Um dauerhaft Daten zu speichern, auch wenn der Computer ausgeschaltet ist.
 - C) Um die Stromversorgung der CPU zu stabilisieren.
 - D) Um die CPU vor Überhitzung zu schützen.
- e) Welche der folgenden Stufen gehört nicht zum grundlegenden Befehlszyklus der Bearbeitung eines Befehls in einer CPU?
- A) Execute (Befehl ausführen)
 - B) Fetch (Befehl holen)
 - C) Decode (Befehl dekodieren)
 - D) Kompilieren
- f) Was ist der Hauptzweck von mehreren CPU-Kernen (Multi-Core) in einem Prozessor?
- A) Um die Taktfrequenz des Prozessors zu erhöhen.
 - B) Um mehrere Befehle gleichzeitig ausführen zu können und damit die Parallelverarbeitung zu ermöglichen.
 - C) Um mehr Cache-Speicher zu integrieren.
 - D) Um die CPU vor Überhitzung zu schützen.

- g) Welche Aufgabe hat der Steuerbus in der Kommunikation zwischen CPU und anderen Systemkomponenten?
- A) Er übermittelt Steuersignale und koordiniert den Datenfluss.
 - B) Er sendet die physischen Adressen der Speicherorte.
 - C) Er überträgt die eigentlichen Nutzdaten.
 - D) Er speichert temporär Befehle für die schnelle Ausführung.
- h) Ordnen Sie die folgenden Speichertypen nach ihrer typischen Zugriffsgeschwindigkeit (von schnell nach langsam): Register, L1 Cache, RAM (Hauptspeicher), SSD.
- A) SSD → RAM → L1 Cache → Register
 - B) Register → L1 Cache → RAM → SSD
 - C) L1 Cache → Register → RAM → SSD
 - D) RAM → SSD → Register → L1 Cache

- a) **Korrekte Antwort mit Rationale:** A) Arithmetisch-Logische Einheit (ALU), Steuerwerk, Register. Die ALU führt Berechnungen durch, das Steuerwerk koordiniert alle Operationen und die Register speichern Daten und Adressen temporär. Dies sind die Kernkomponenten der CPU.
- b) **Korrekte Antwort mit Rationale:** A) Er speichert die Adresse des nächsten auszuführenden Befehls. Der Programmzähler (PC) ist ein spezielles Register, das die Speicheradresse des nächsten Befehls enthält, der aus dem Hauptspeicher geholt werden soll.
- c) **Korrekte Antwort mit Rationale:** B) Er überträgt die Speicheradresse, auf die die CPU zugreifen möchte. Der Adressbus ist dafür zuständig, die spezifische Adresse im Speicher zu identifizieren, von der gelesen oder in die geschrieben werden soll.
- d) **Korrekte Antwort mit Rationale:** A) Um die Zugriffszeit auf häufig genutzte Daten und Befehle zu reduzieren und die Leistung zu verbessern. Cache-Speicher ist ein sehr schneller, aber kleiner Speicher, der als Puffer zwischen der CPU und dem langsameren Hauptspeicher dient, um die Zugriffszeiten zu verkürzen.
- e) **Korrekte Antwort mit Rationale:** D) Kompilieren. Kompilieren ist ein Software-Entwicklungsprozess, bei dem Quellcode in Maschinencode übersetzt wird, bevor das Programm auf der CPU ausgeführt wird. Es ist keine Stufe des CPU-Befehlszyklus selbst.
- f) **Korrekte Antwort mit Rationale:** B) Um mehrere Befehle gleichzeitig ausführen zu können und damit die Parallelverarbeitung zu ermöglichen. Jeder Kern ist eine weitgehend unabhängige Recheneinheit. Mehrere Kerne ermöglichen es einem Prozessor, mehrere Aufgaben oder Teile einer Aufgabe gleichzeitig zu bearbeiten (Parallelität), was die Gesamtleistung erhöht.
- g) **Korrekte Antwort mit Rationale:** A) Er übermittelt Steuersignale und koordiniert den Datenfluss. Der Steuerbus trägt Signale wie Read/Write, Interrupt-Anfragen und Taktsignale, um die Operationen aller an den Bus angeschlossenen Komponenten zu synchronisieren und zu steuern.
- h) **Korrekte Antwort mit Rationale:** B) Register → L1 Cache → RAM → SSD. Register sind die schnellsten und kleinsten Speicher innerhalb der CPU. L1 Cache ist der schnellste Cache, gefolgt von L2/L3. RAM ist deutlich langsamer als Cache, und SSDs (Massenspeicher) sind wesentlich langsamer als RAM.