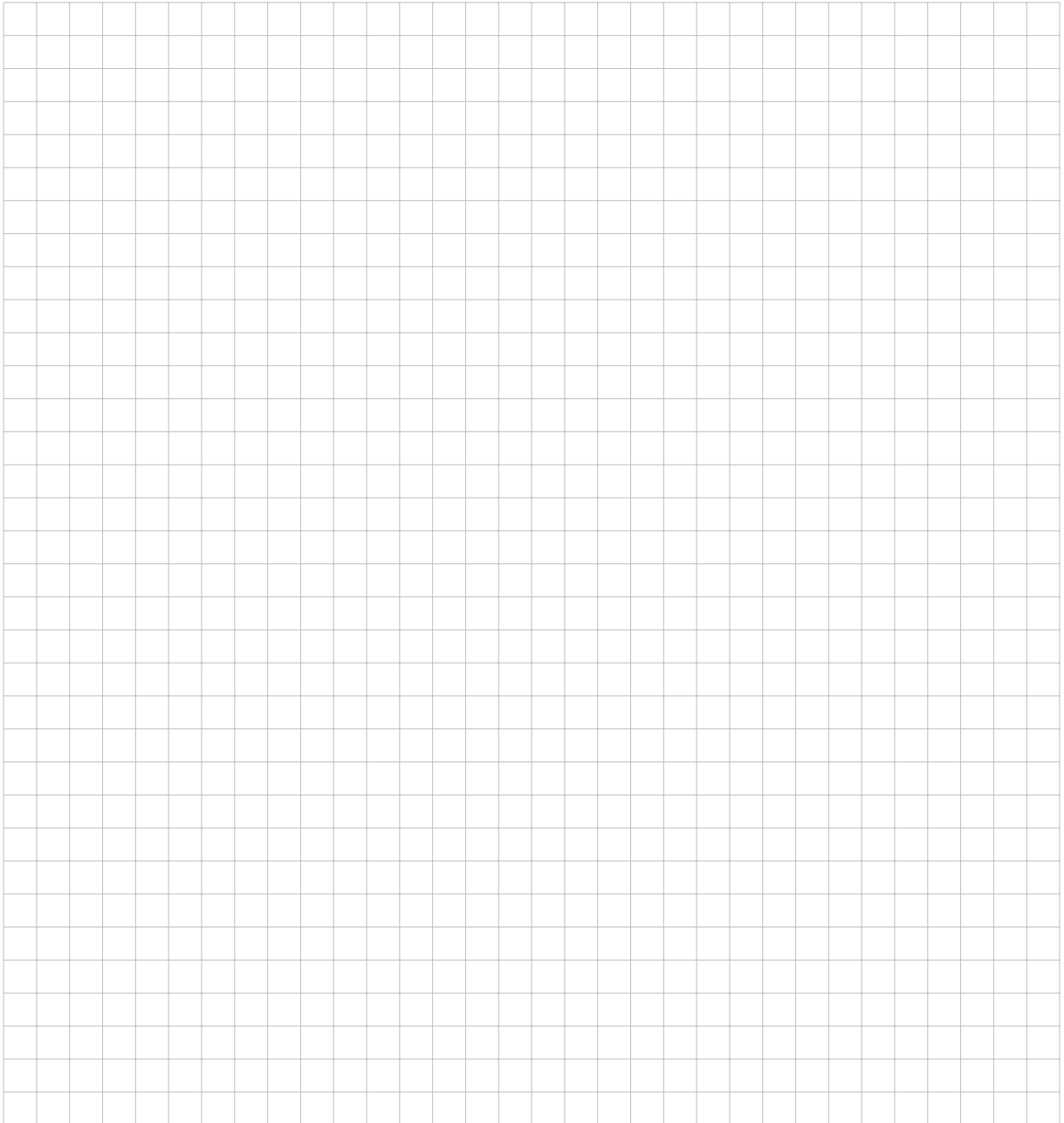


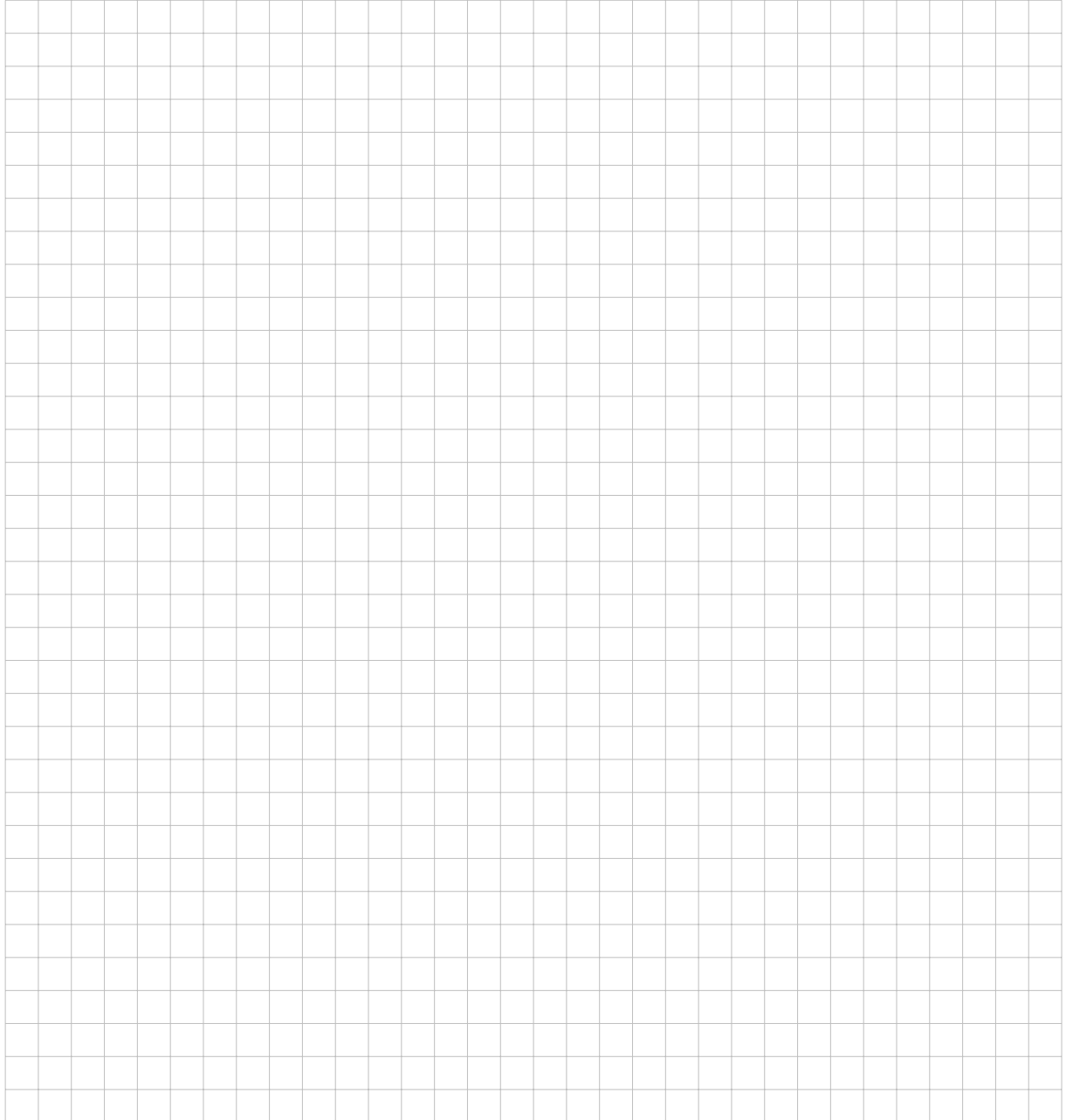
## Aufgabe 1: CPU Anbindung Speicher

Der Speicher und die CPU sind über den Speicherbus miteinander verbunden. Benennen sie die Elemente des Speicherbusses und erläutern sie die Funktion der Elemente.

A large grid of graph paper, consisting of 20 columns and 30 rows of small squares, intended for drawing and writing the answer to the task.

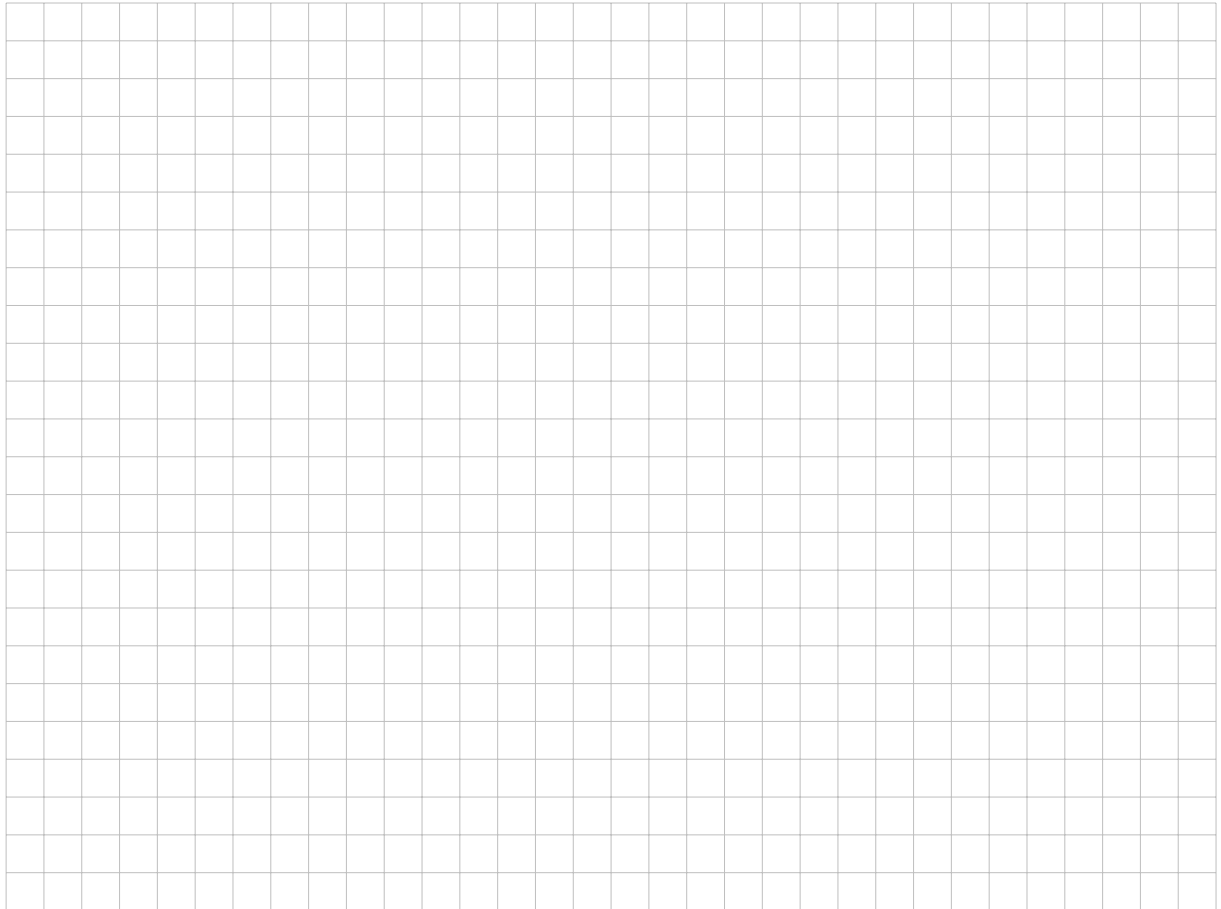
## Aufgabe 2: CPU - Adressbus des Systems vergrößern

Eine CPU ist über einen Adress-, Daten- und Steuerbus an ein Speichersystem angeschlossen. Die Breite des physikalischen Adressbusses wird jetzt von 32 auf 48 Bit verändert. Beschreiben sie die Konsequenzen für das Gesamtsystem. Nehmen sie an, dass die CPU auch den Adressbus mit der geänderten Breite unterstützt und nicht verändert wird. Erläutern sie die Konsequenzen mit einem plausiblen Zahlenbeispiel.

A large grid of graph paper, consisting of 30 columns and 30 rows of small squares, intended for the student to write their answer to the task.

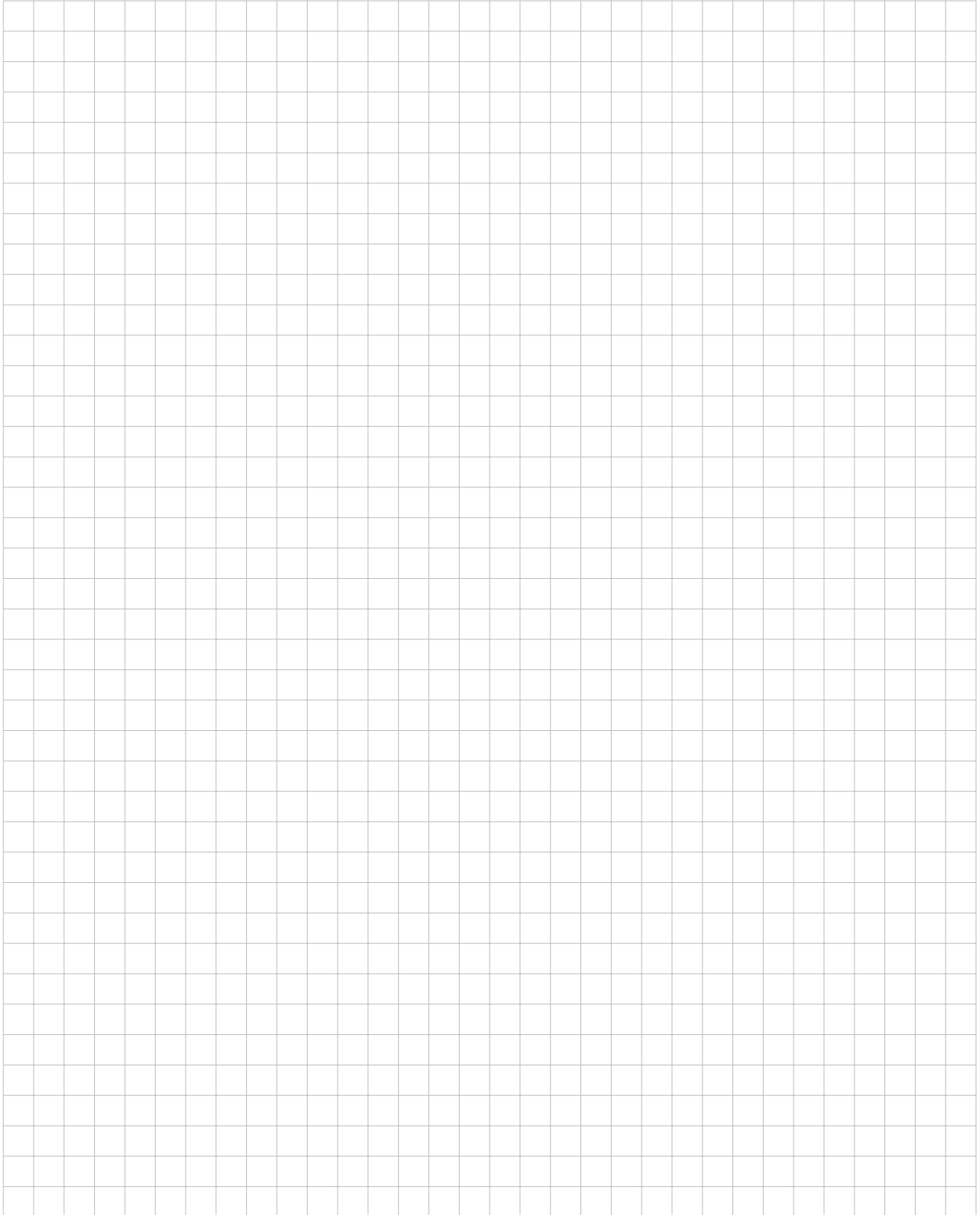
### Aufgabe 3: CPU 64 Bit Adressbus

Aktuelle CPU Architekturen wie AMD64 oder ARMv8 arbeiten mit 64 Bit für Daten und Adressen. Erläutern sie warum bei aktuellen CPUs nur 48 bis 52 Bit des Adressbusses als physikalischer Adressbus nach außen geführt werden.



## Aufgabe 4: CPU Datenbus

Aktuelle CPU Architekturen wie AMD64 oder ARMv8 arbeiten mit 64 Bit für Daten und Adressen. Was ist der wesentliche Unterschied zwischen einem Datenbus, der 64 Bit breit ist, und einem Datenbus, der 32 Bit breit ist, für das System?



## Aufgabe 5: CPU Kompakt

- a) Welche drei Hauptkomponenten bilden typischerweise die Zentraleinheit (CPU) eines Computers?
- A) Arithmetisch-Logische Einheit (ALU), Steuerwerk, Register
  - B) Hauptspeicher (RAM), Festplatte (HDD/SSD), Grafikkarte
  - C) Ein-/Ausgabewerk (I/O), Cache-Speicher, Systembus
  - D) Prozessor, Motherboard, Netzteil
- b) Was ist die primäre Funktion des Programmzählers (Program Counter, PC) in der CPU?
- A) Er speichert die Adresse des nächsten auszuführenden Befehls.
  - B) Er führt arithmetische und logische Operationen aus.
  - C) Er speichert die Ergebnisse von Berechnungen.
  - D) Er verwaltet den Datentransfer zwischen CPU und Peripheriegeräten.
- c) Welche Aufgabe hat der Adressbus in der Kommunikation zwischen CPU und Speichersystem?
- A) Er überträgt die eigentlichen Daten zwischen CPU und Speicher.
  - B) Er überträgt die Speicheradresse, auf die die CPU zugreifen möchte.
  - C) Er steuert den Fluss der Daten und Befehle.
  - D) Er synchronisiert die Operationen der CPU mit dem Speicher.
- d) Warum wird Cache-Speicher (L1, L2, L3) in der CPU-Architektur eingesetzt?
- A) Um die Zugriffszeit auf häufig genutzte Daten und Befehle zu reduzieren und die Leistung zu verbessern.
  - B) Um dauerhaft Daten zu speichern, auch wenn der Computer ausgeschaltet ist.
  - C) Um die Stromversorgung der CPU zu stabilisieren.
  - D) Um die CPU vor Überhitzung zu schützen.
- e) Welche der folgenden Stufen gehört nicht zum grundlegenden Befehlszyklus der Bearbeitung eines Befehls in einer CPU?
- A) Execute (Befehl ausführen)
  - B) Fetch (Befehl holen)
  - C) Decode (Befehl dekodieren)
  - D) Kompilieren
- f) Was ist der Hauptzweck von mehreren CPU-Kernen (Multi-Core) in einem Prozessor?
- A) Um die Taktfrequenz des Prozessors zu erhöhen.
  - B) Um mehrere Befehle gleichzeitig ausführen zu können und damit die Parallelverarbeitung zu ermöglichen.
  - C) Um mehr Cache-Speicher zu integrieren.
  - D) Um die CPU vor Überhitzung zu schützen.

- g) Welche Aufgabe hat der Steuerbus in der Kommunikation zwischen CPU und anderen Systemkomponenten?
- A) Er übermittelt Steuersignale und koordiniert den Datenfluss.
  - B) Er sendet die physischen Adressen der Speicherorte.
  - C) Er überträgt die eigentlichen Nutzdaten.
  - D) Er speichert temporär Befehle für die schnelle Ausführung.
- h) Ordnen Sie die folgenden Speichertypen nach ihrer typischen Zugriffsgeschwindigkeit (von schnell nach langsam): Register, L1 Cache, RAM (Hauptspeicher), SSD.
- A) SSD → RAM → L1 Cache → Register
  - B) Register → L1 Cache → RAM → SSD
  - C) L1 Cache → Register → RAM → SSD
  - D) RAM → SSD → Register → L1 Cache

